Entwicklung eines Auslesesystems für mikrostrukturierte gasgefüllte Detektoren

Michael Lupberger

Universität Bonn

DPG Frühjahrstagung

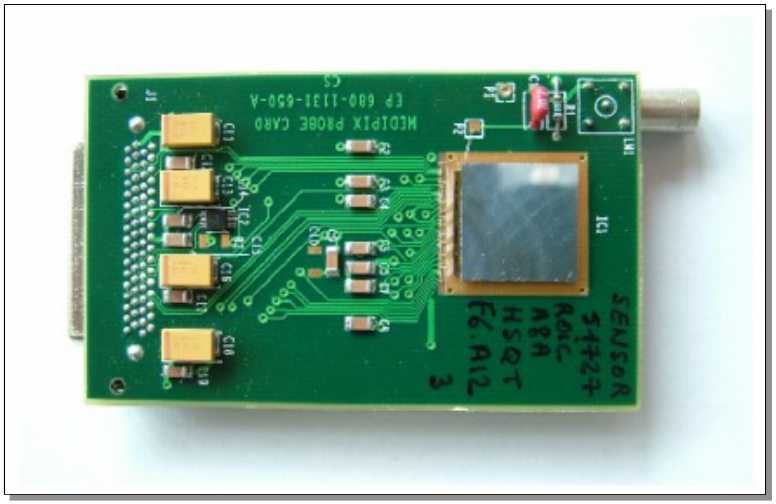
27. Februar 2012, Göttingen

Inhalt

- Der Timepix Chip
- Auslesesystem
  - Derzeit benutztes System (MUROS)
  - Prototyp für neues Setup (Xilinx Evaluation Board)
  - Status des auf dem SRS basierendes Systems

Der Timepix chip

- Siehe heute: T 58.3, 58.7, 58.8; morgen: T 59.3, 59.4
- Ursprung: Medipix2 Chip



- <u>Eigenschaften :</u>
  - 1,4 x 1,4 cm²
  - 256 x 256 Pixelmatrix
  - CMOS 250 nm Technologie, IBM
  - 55 x 55 µm² pro Pixel
  - Verstärker (t_{rise} ~150 ns)
  - 14 bits in jedem Pixel zählt Taktzyklen
    → Pixel wann/wie lange getroffen
  - Takt bis zu 100 MHz in jedem Pixel
  - untere Schwelle
  - Rauschschwelle ~ 500 e-

- Wird als Anode in gasgefüllten Detektoren verwendet

Zähler in jedem Pixel

- Datennahme im Pixel: 4 möglich Modi
  - z.B. Time of Arrival (ToA): Ankunftszeit von Ladung
    14 Bit Zähler als Uhr
  - z.B. Time over Threshold (ToT): Zeit, die ein Diskriminatorsignal über einer Schwelle liegt $\Rightarrow$ Ladungsmessung
- 256 x 256 Pixel, je 14 Bit $\Rightarrow$ 917504 Bit
  - Müssen für jeden Frame ausgelesen werden
  - Benötigen 917504 Taktzyklen (z.B. bei 100 MHz Taktrate 9,2 ms)
  - Stellen Obergrenze der Ausleserate dar (z.B. 108 Hz @ 100 MHz Taktrate)
  - Chip kann nicht gleichzeitig ausgelesen werden und neu Daten nehmen
- Anforderungen an das Auslesesystem
  - Weiterleitung der Daten vom Chip an den PC (DAQ)
  - Ausleserate nahe der theoretischen Obergrenze
  - Mehrere Chips gleichzeitig auslesen
  - Steuerung der Chips (Setzen der Matrix, der DACs, Auslese...)

universitätbonn

MUROS Auslesesystem

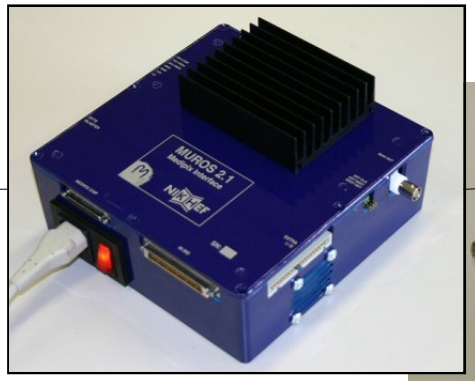
- Entwickelt am NIKHEF (Amsterdam) für Medipix2
- FPGA code für Timepix modifiziert
- Ausleserate theoretisch bis zu ≈ 50 Hz
- Datennahme mit Pixelman Software

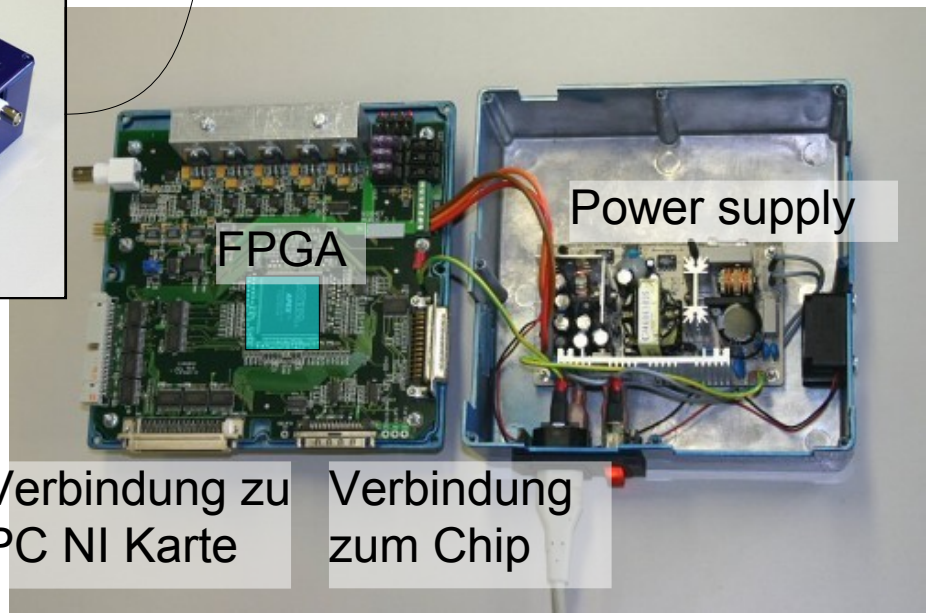
PC mit
NI card Pixelman

VHDCI

Timepix Träger
bis zu 8 chips

VHDCI





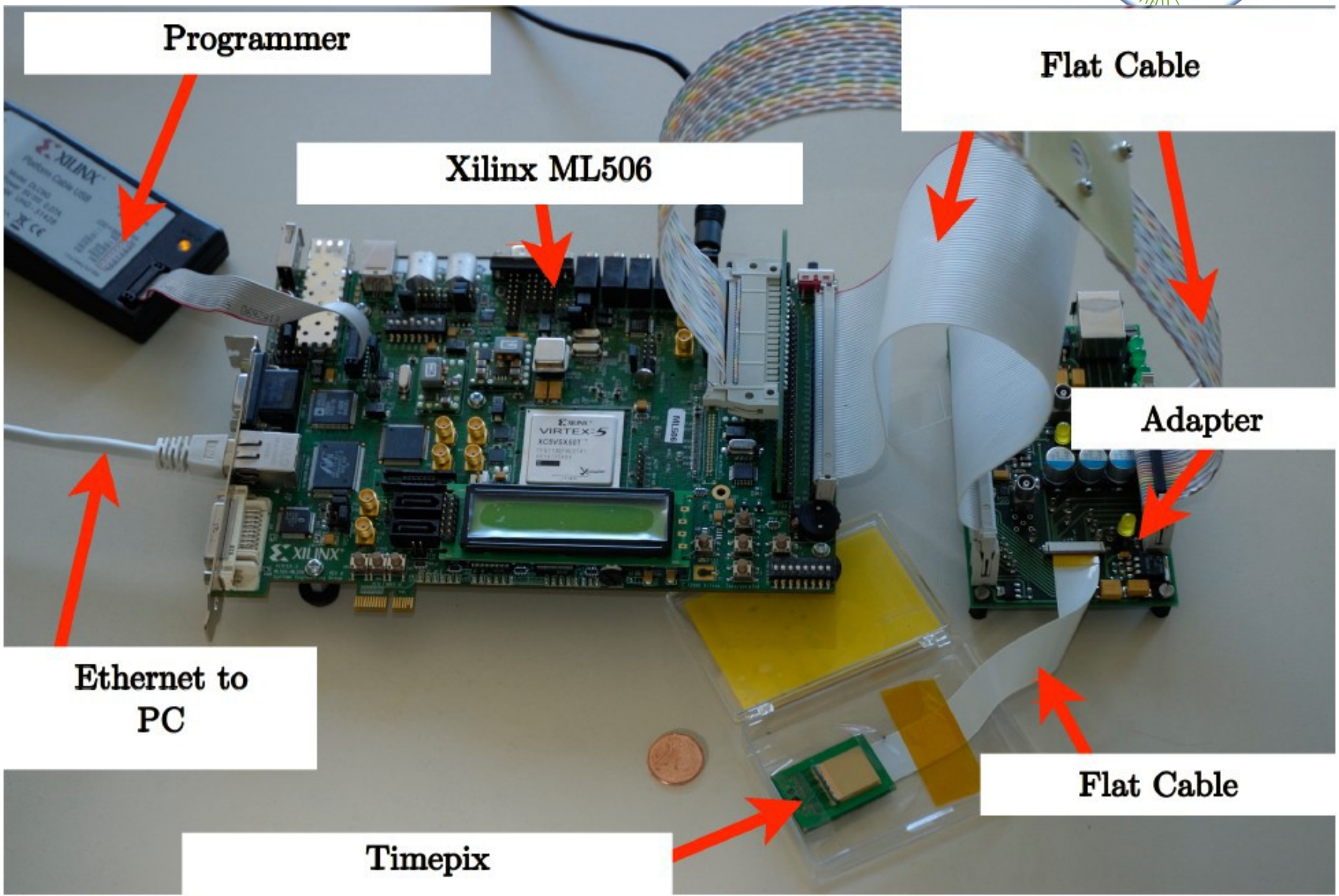
- Probleme mit MUROS :
  - Wird nicht mehr produziert
  - Nur noch beschränkt verfügbar
  - NI Karte und Treiber veraltet
  - Auslese von höchstens 8 Chips

universitätbonn

Das neue Auslesesystem

- Ziel:
  - Auslese von ca. 100 Chips
    → großflächiger Detektor (z.B. eine Endplatte einer LC TPC)
  - Modulares System → benutze SRS (RD51)
  - Datenkommunikation ethernetbasiert
  - benutze Virtex6 FPGA (wird auch im SRS verwendet)
  - Nullunterdrückung im FPGA
  - Integrierte Kalibration und Steuerung
  - Triggerbar

Erster Prototyp (Mainz)



Weiterentwicklung

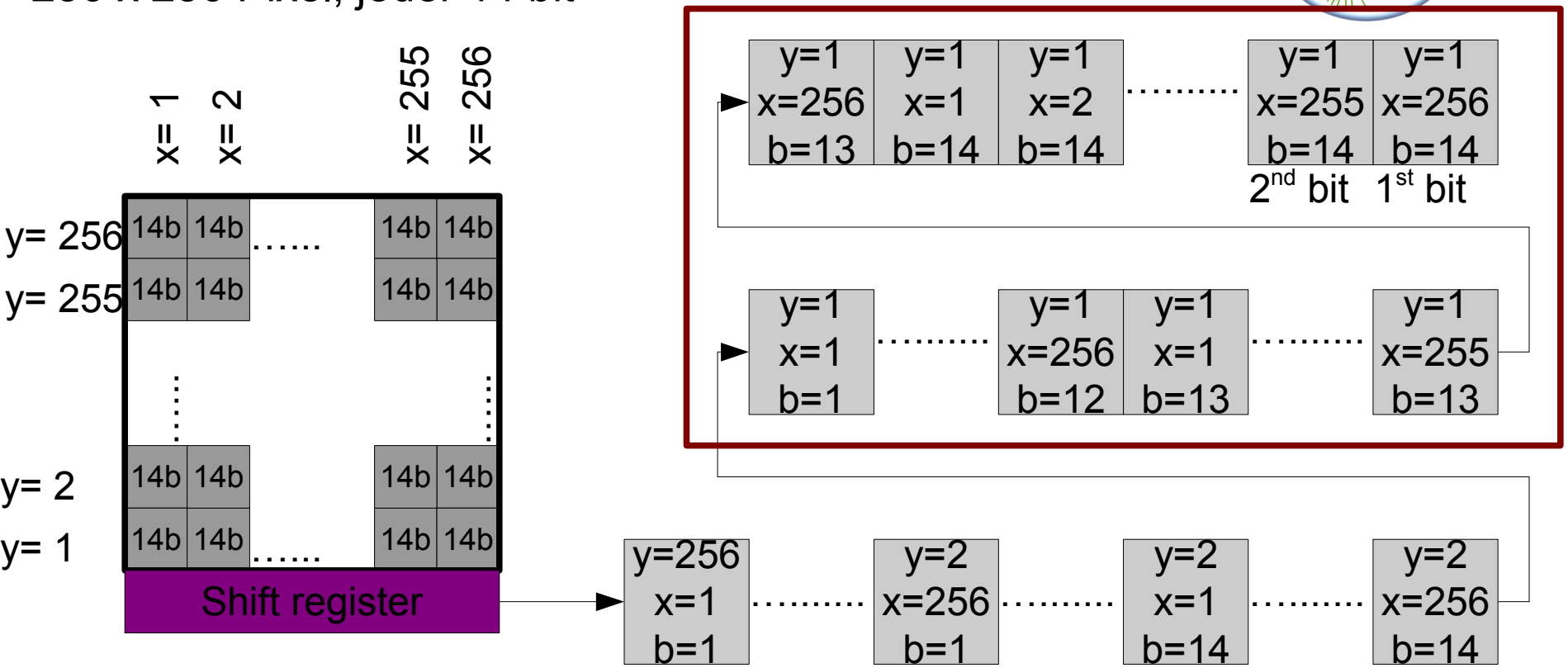
- Umzug von Virtex5 auf Virtex6 FPGA
  - Neue Adapterkarte
  - Modifikation der Firmware

- Neuerungen der Firmware
  - Nullunterdrückung im FPGA
  - Datenaufzeichnung mit Takt aus dem Chip
  - Multithreading im FPGA: senden der Daten während der Auslese des Chip

- Veränderung und Erweiterung der PC Software
  - Anpassung an null-unterdrückte Daten
  - Multithreading: Schreiben der Daten während Empfang/Steuerung des Chips

Struktur der Daten

256 x 256 Pixel, jeder 14 bit



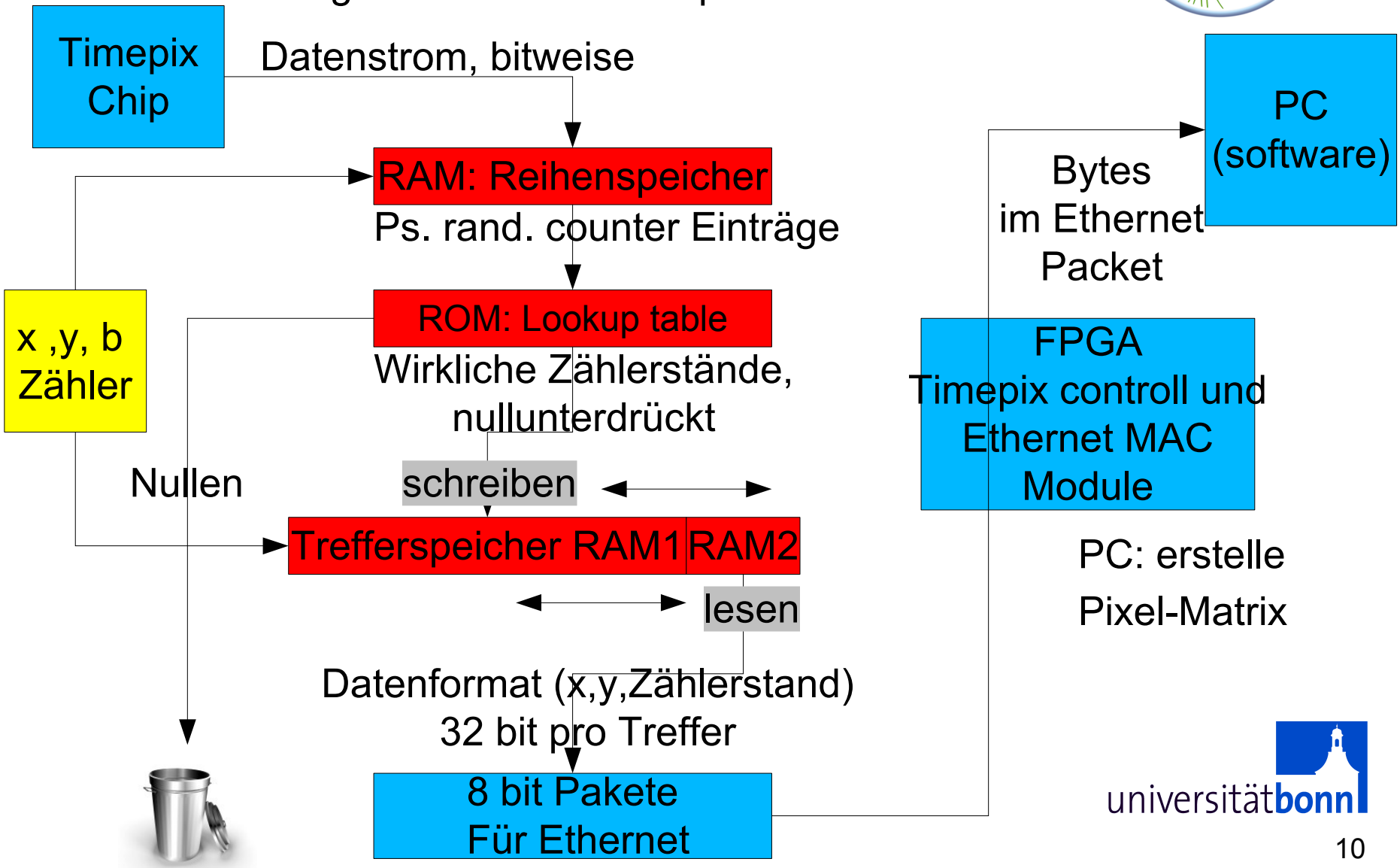
Daten in jedem Pixel:

→ nicht der wirkliche Zählerstand, sondern Pseudo random counter

→ man braucht eine Lookup table zur Übersetzung

Ausleserate

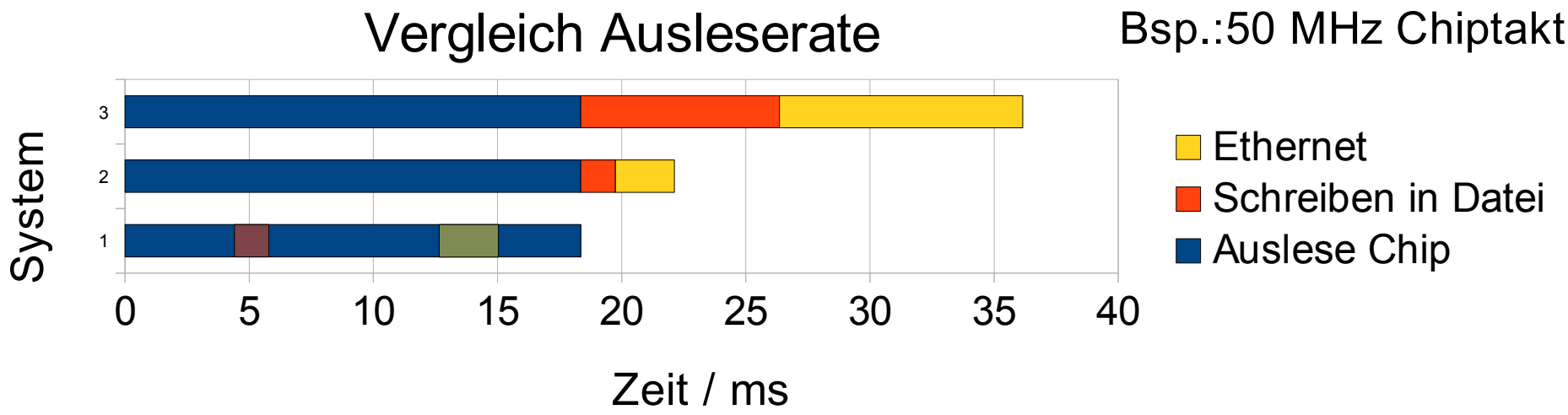
Neue Verarbeitung der Daten vom Chip im FPGA



Ausleserate

Steigerung der Ausleserate durch:

- Multithreading in der DAQ PC Software
- Nullunterdrückung der Daten im FPGA
- Multithreading im FPGA



Steigerung der Ausleserate: 27 Hz → 53 Hz @ 50 MHz Chiptakt
(theoretisches Maximum: 53,7 Hz)

universitätbonn

Der nächste Schritt

- Weiterentwicklung der PC Software für volle Funktionalität

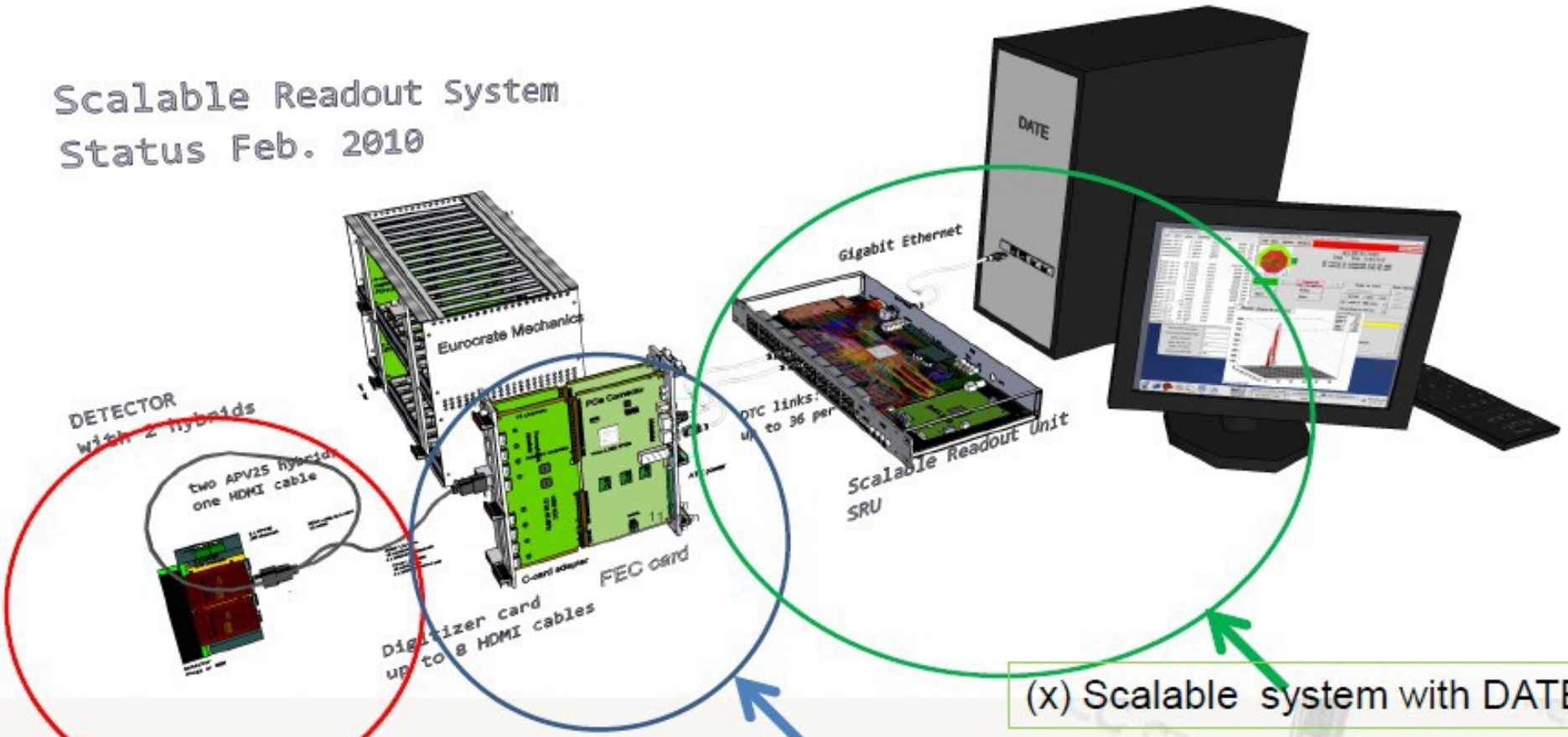
- Umzug des Systems auf die SRS Hardware (Virtex5/6 FPGA)
  - Anpassung an SFP Ethernet und SRS PFGA Firmware (eigene Module für Ethernet UDP/IP)
  - Auslese eines einzelnen Chips

Status:

- Erstes SRS Crate gekauft, zweites bestellt

- Firmware läuft auf SRS, noch Probleme den Timepix Chip zu erkennen

SRS Überblick

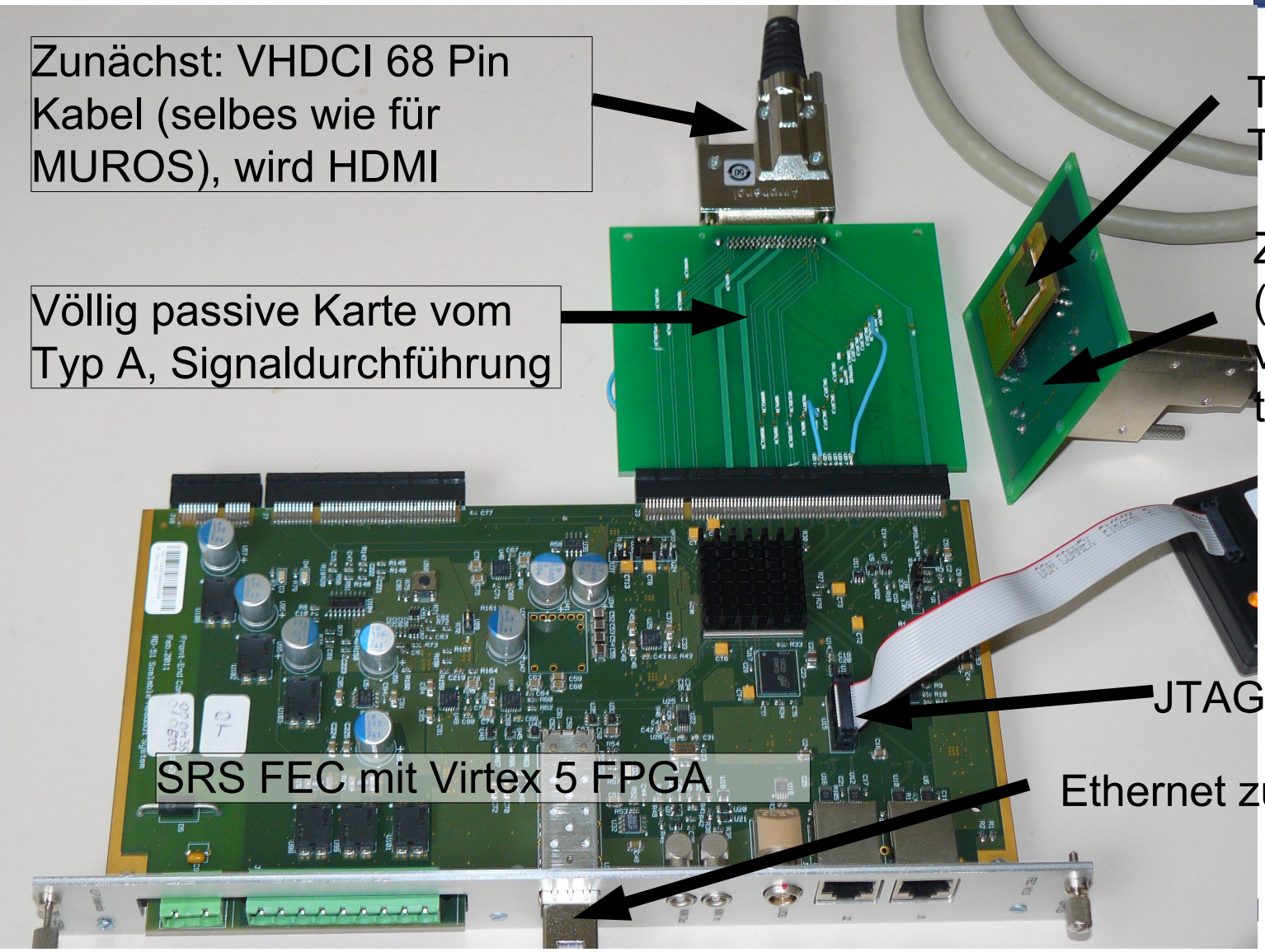


(x) Scalable system with DATE

(4) Hybrid adapter & FEC = portable DAQ

(1-5)Hybrids: user –specific front end electronics with discharge protection

SRS mit Timepix chip



Zusammenfassung

Es wird ein neues Auslesesystem für den Timepix Chip entwickelt

- Prototypen auf Xilinx Evaluation Boards (Virtex5 und 6) können einzelne Chips auslesen (durch Software limitierte Anwendungsmöglichkeiten)
- Ausleserate durch Optimierung der PC Software und FPGA Firmware am theoretischen Limit (z.B. 88 Hz bei 83,3 MHz Taktrate)
- Umzug des System auf modulares Auslesesystem (SRS) im Gange
- Ersetzung des MUROS Auslesesystems steht bevor
- Eventueller Einsatz mit neuem Detektor bei CAST (Siehe T 59.4)

Vielen Dank für die Aufmerksamkeit

Backup

Motivation

AIDA

Advanced European Infrastructures for Detectors at Accelerators
- 4 year EU FP 7 Research Infrastructures program project
- Started February 2011
- > 80 institutes from 23 European countries
- Budget: 27 million € (8 million € from the EU)
- Coordinated by CERN

Subtask 9.2.3 (Bonn, CEA, Mainz, NIKHEF):
Common readout systems for gaseous detectors. Auxiliary electronics for the read-out of pixellated front-end chips, aimed at highly granular pixel read-out of gas detectors, are to be developed.

→ New readout system for pixellated chip (Timepix chip)
→ Cover large area for TPC/inner tracker application

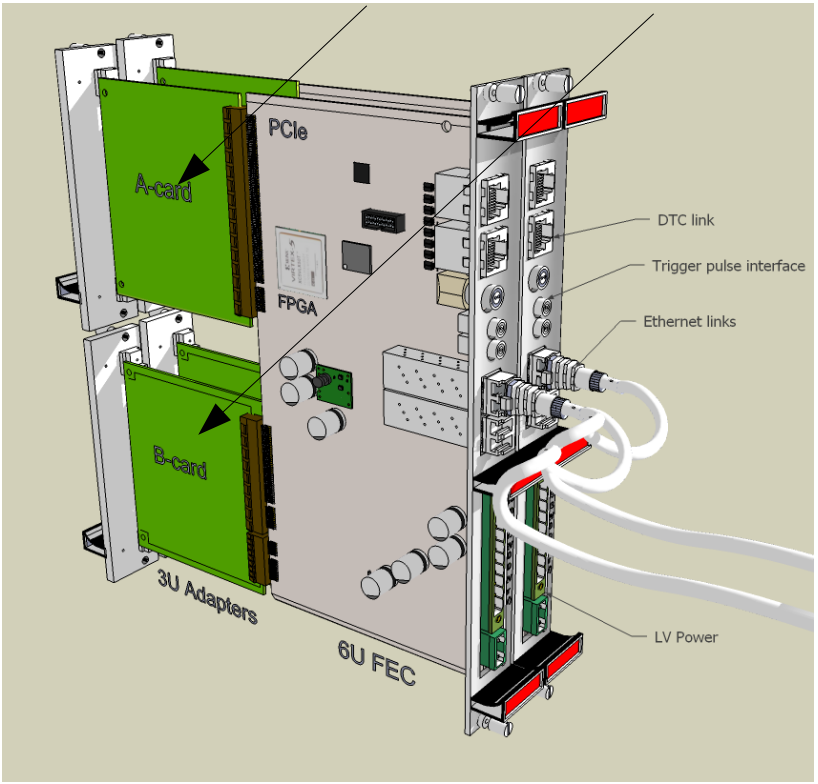
universitätbonn

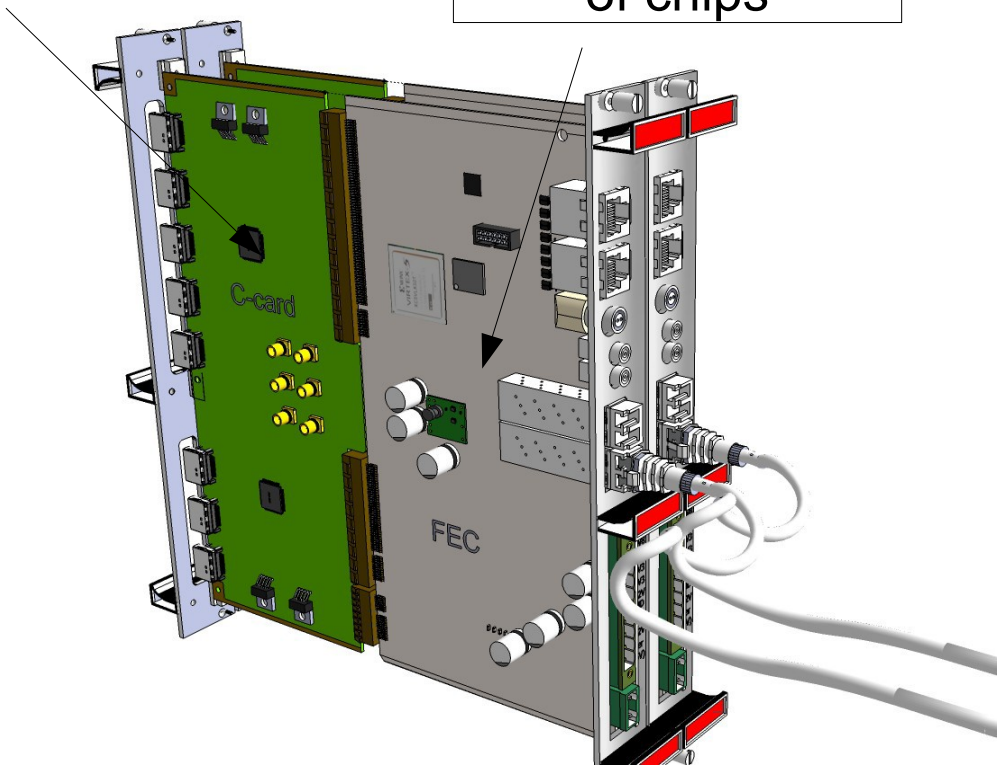
FEC and adapter cards

- A –Cards: 4 U (= 4 HDMI plugs)
- B –Cards: 4 U for miscellaneous extensions and LV-HV control
- C –Cards: 8 U

Adapter card
(Individual for each typ of chip)

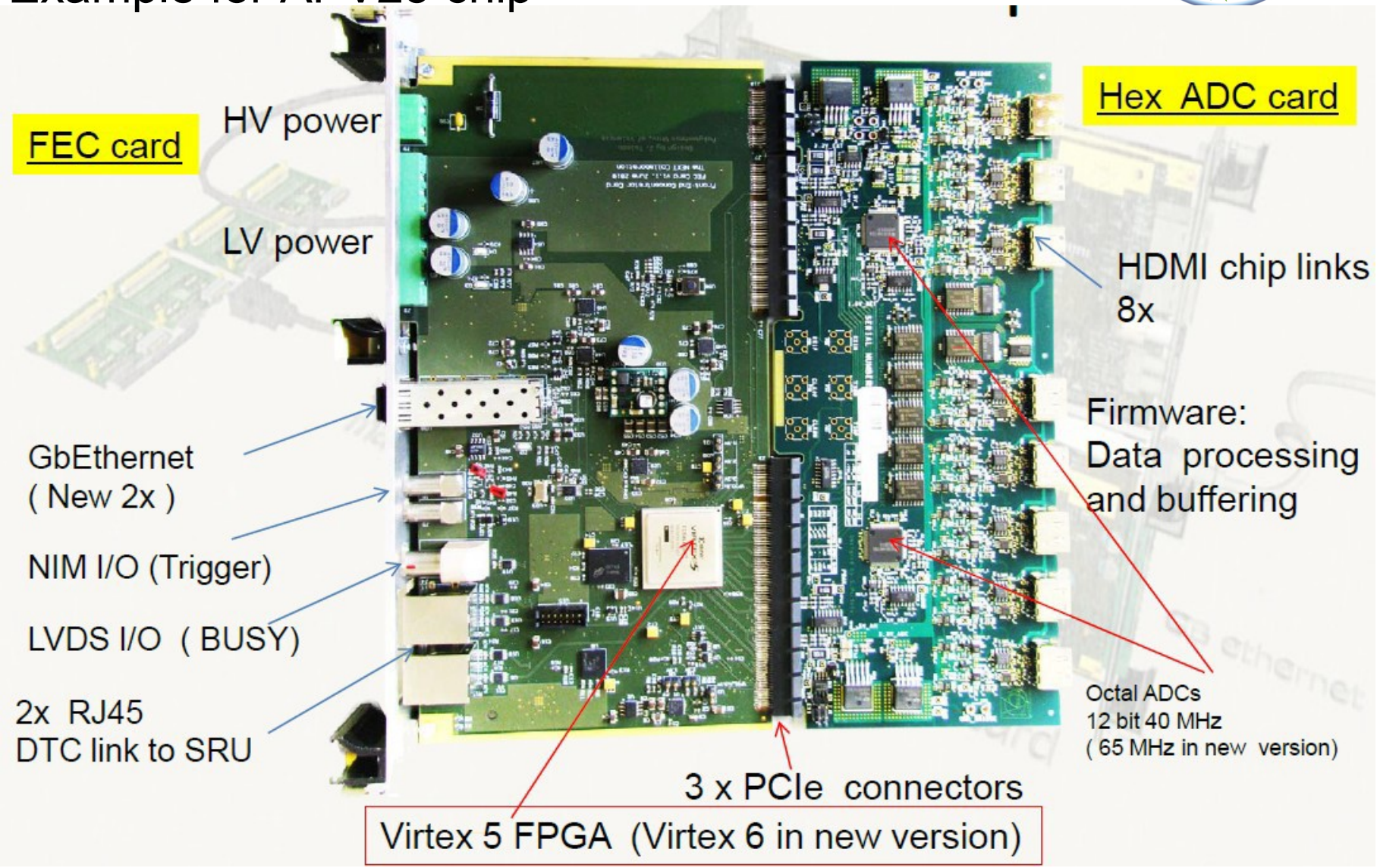
FEC
Common for all typ of chips





FEC and C-size ADC adapter

Example for APV25 chip



Timepix chip

- 4 verschiedene Betriebsmodi

Medipix:

- Pixel wie oft getroffen

Time-over-threshold:

- Pixel wie lange getroffen

→ proportional zur Ladung

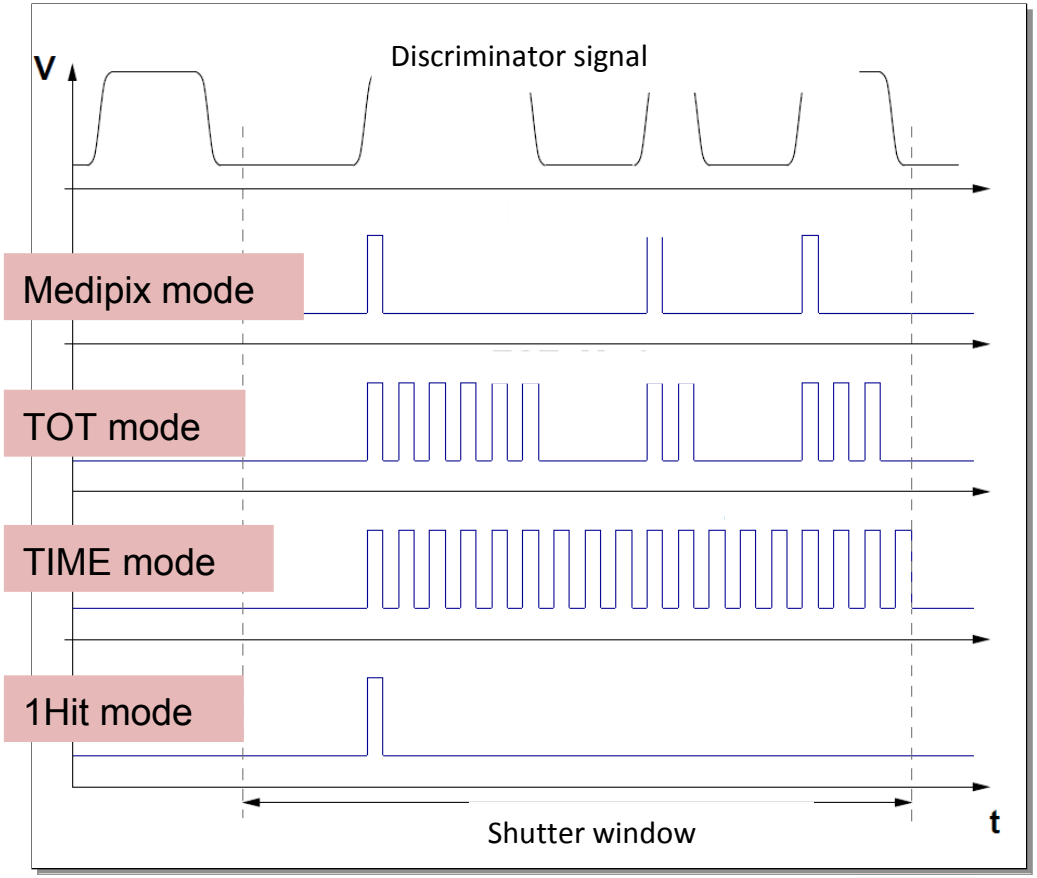
Time:

- Pixel wann getroffen

→ Ankunftszeit

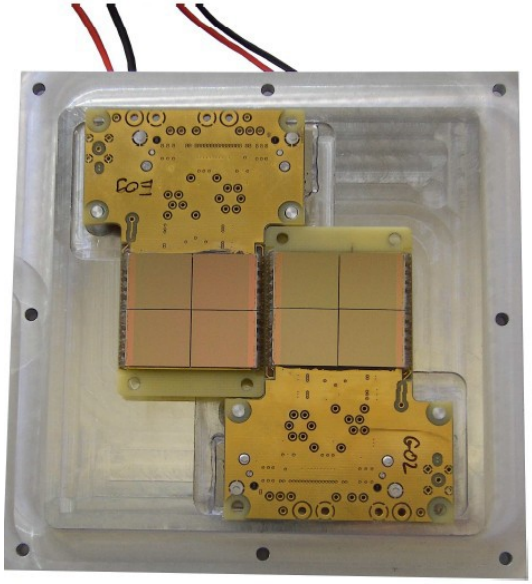
1Hit:

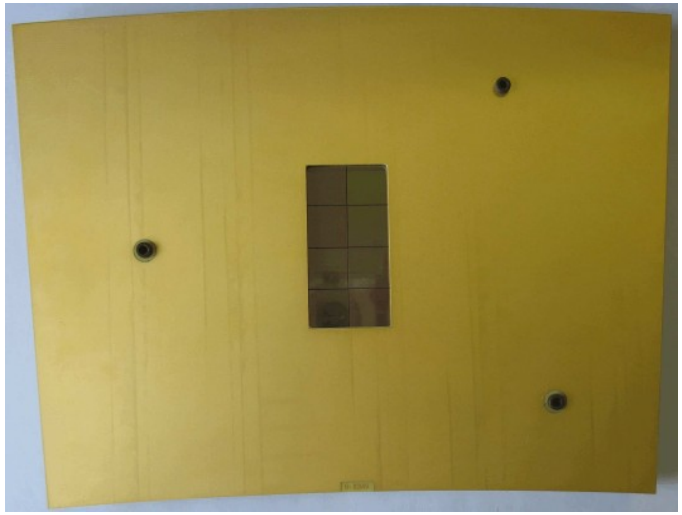
- Pixel während Zeitfenster getroffen?

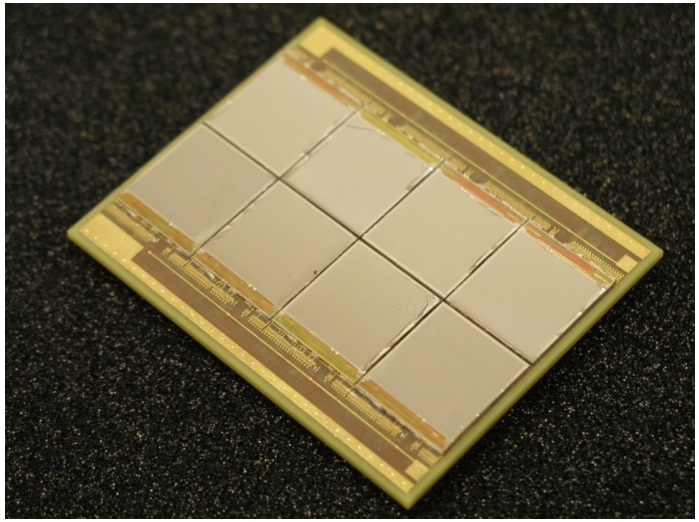


Pixellated endplate

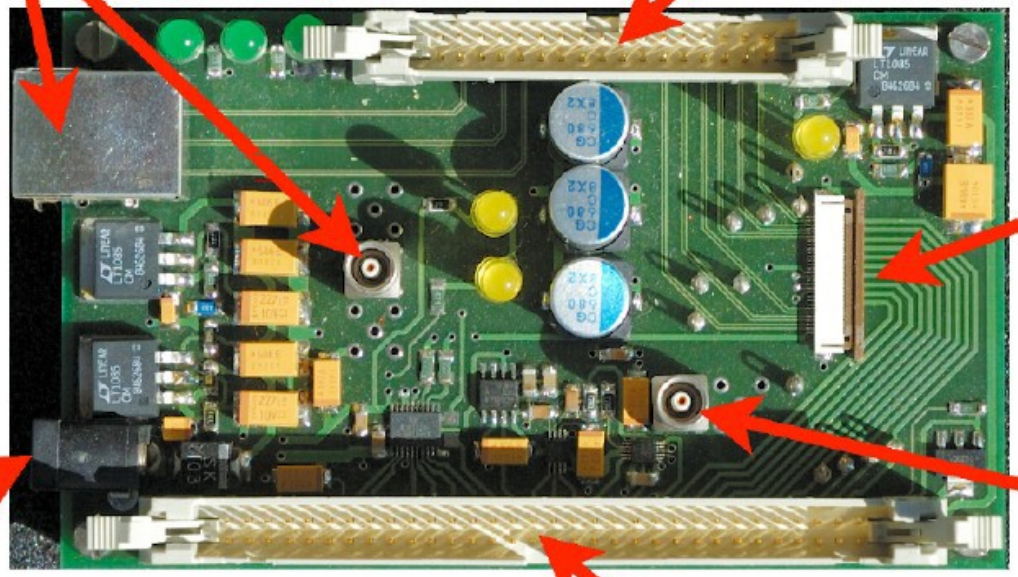
- Until now: only few pixel chips for readout
- Bonn/NIKHEF: GEM + pixel
- CEA Saclay: Micromegas + pixel







Adapter board for Xilinx kit



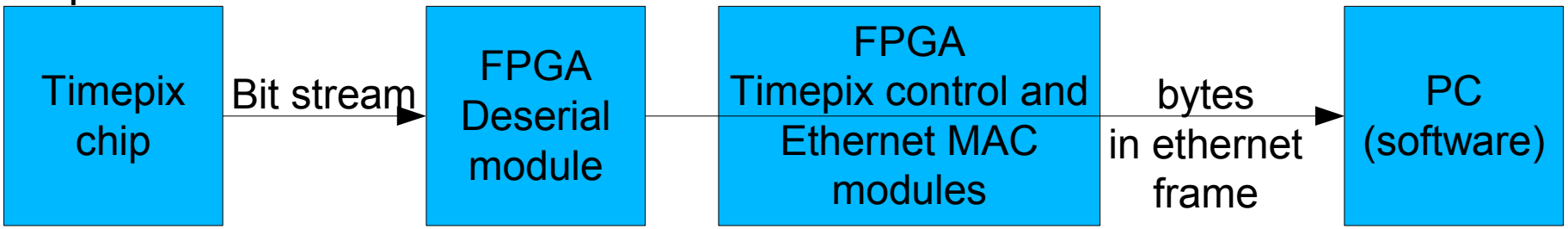
universitätbonn

Current activities:

New readout procedure:

Aim: Zero suppression, lower data volume, higher readout rate

Old procedure:



Only pipeline data: Convert bit stream to bytes for ethernet

- PC software receives data from Chip (in byte packets)
- Sort data stream (x,y, bit position of counter of pixel(x,y))
- Get **pseudo random counter value** (x,y) and convert to **real counter value** using Lookup table
- Generate Matrix

FPGA

- On-chip Ethernet MAC (SGMII)
- On-board Gigabit Ethernet phy chip
  - 1000BASE-T
  - no embedded CPU
- Firmware
  - VHDL description
  - common clock for digitisation and data transfer, crystal based
  - serial/deserial interface to the Timepix bit-serial port
  - Timepix matrix data not buffered in FPGA
    → kept on Timepix while awaiting packet transmission
  - shutter with programmable delay and width
    - software control or
    - external trigger (TLU)
  - non-volatile storage of hardware description on CF card

PC software

- C++ with Qt
- Command line interface, GUI will be developed (Mainz)
- Data pulled by computer (handshake)
- Minimal network protocol stack
  - ‹ethernet›‹IP›‹UPD›‹control›‹data›
  - standard ethernet/IP/UDP headers
- Functionality:
  - reset, setup (Timepix mode, matrix mask, DAC settings)
    shutter, readout, test pulse enable, choose trigger
  - start a run: set FSR, set matrix, readout matrix setup, DAQ
  - threshold adjustment under way